

NI PXI/PCI-6551/6552 Specifications

50/100 MHz Digital Waveform Generator/Analyzer

このドキュメントには、日本語ページも含まれています。

This document provides the specifications for the NI PXI/PCI-6551 (NI 6551) and the NI PXI/PCI-6552 (NI 6552), collectively called the NI 655X.

Typical values are representative of an average unit operating at room temperature. Specifications are subject to change without notice. For the most recent NI 6551/6552 specifications, visit ni.com/manuals.

To access the NI 655X documentation, including the *NI Digital Waveform Generator/Analyzer Getting Started Guide*, which contains functional descriptions of the NI 655X signals, navigate to **Start»Programs»National Instruments»NI-HSDIO»Documentation**.



Hot Surface If the NI 655X has been in use, it may exceed safe handling temperatures and cause burns. Allow time to cool before removing it from the chassis.

Contents

Channel Specifications.....	2
Generation Channels (Data, DDC CLK OUT, and PFI <0..3>).....	3
Acquisition Channels (Data, STROBE, and PFI <0..3>)	4
Timing Specifications	5
Sample Clock	5
Generation Timing (Data, DDC CLK OUT, and PFI <0..3> Channels)	7
Acquisition Timing (Data, STROBE, and PFI <0..3> Channels)	10
CLK IN (SMB Jack Connector)	13
STROBE (DDC Connector)	15
PXI_STAR (PXI Backplane—PXI only)	15

CLK OUT (SMB Jack Connector)	16
DDC CLK OUT (DDC Connector)	16
Reference Clock (PLL)	17
Waveform Characteristics	17
Memory and Scripting	17
Triggers (Inputs to the NI 655X)	19
Events (Output from the NI 655X)	21
Calibration	22
Power	22
Software Specifications	23
Environment	23
Physical Specifications	25

Channel Specifications

Specification	Value	Comments
Number of data channels	20	—
Direction control of data channels	Per channel	—
Number of Programmable Function Interface (PFI) channels	4	Refer to the Waveform Characteristics section for more details.
Direction control of PFI channels	Per channel	—
Number of clock terminals	3 input 2 output	Refer to the Timing Specifications section for more details.

Generation Channels (Data, DDC CLK OUT, and PFI <0:3>)

Specification	Value	Comments
Generation voltage range	–2.0 V to 5.5 V	Into 1 M Ω
Generation signal type	Single-ended	—
Number of programmable voltage levels	1 voltage low level 1 voltage high level Note: While you can only set one voltage low level and one voltage high level for all generation channels, you can set a different voltage low level and voltage high level for all acquisition channels.	For all data, CLK OUT (Sample clock only), and PFI channels
Generation voltage range restrictions	–0.5 V to 5.5 V (up to 50 MHz clock rate) –2.0 V to 3.7 V (up to 50 MHz clock rate) –0.5 V to 3.7 V (50 to 100 MHz clock rate; NI 6552 only)	Into 1 M Ω
Generation voltage swing	400 mV to 6 V (up to 50 MHz clock rate) 400 mV to 4.2 V (50 to 100 MHz clock rate; NI 6552 only)	Into 1 M Ω
Generation voltage level resolution	10 mV	Into 1 M Ω
DC generation voltage level accuracy	± 20 mV	Into 1 M Ω ; does not include system crosstalk
Output impedance	50 Ω nominal	At 25 °C
Output impedance temperature coefficient	0.2 Ω /°C	Typical
Maximum DC drive strength	± 50 mA maximum per channel ± 600 mA maximum for all data, clock, and PFI channels	—
Data channel driver enable/disable control	Per channel	Software-selectable

Specification	Value		Comments
Channel power-up state	Module Assemblies Labeled A and B	Module Assemblies Labeled C and Later	—
	Drivers disabled, 10 k Ω input impedance	Drivers disabled, 50 k Ω input impedance	
Output protection	The device can indefinitely sustain a short to any voltage in the generation voltage range.		—

Acquisition Channels (Data, STROBE, and PFI <0..3>)

Specification	Value	Comments
Number of voltage comparators per channel	2	—
Acquisition voltage range	–2.0 V to 5.5 V	—
Number of programmable acquisition thresholds	1 voltage low threshold 1 voltage high threshold Note: While you can set only one voltage low level and one voltage high level for all acquisition channels, you can set a different voltage low level and voltage high level for all generation channels.	For all data, STROBE, and PFI channels
Minimum detectable voltage swing	50 mV	10 k Ω input impedance, measured with 50% duty cycle input signal
Acquisition voltage threshold resolution	10 mV	10 k Ω input impedance
DC acquisition voltage threshold accuracy	± 30 mV	10 k Ω input impedance, does not include system crosstalk

Specification	Value		Comments
Input impedance	Module Assemblies Labeled A and B	Module Assemblies Labeled C and Later	Software-selectable per channel when powered on and within valid voltage range.
	50 Ω nominal or 10 k Ω (default)	50 Ω nominal or 50 k Ω (default)	
Input protection	–2.3 V to 6.8 V		Diode clamps in the design may provide additional protection outside this range.

Timing Specifications

Sample Clock

Specification	Value	Comments
Sample clock sources	1. On Board Clock (internal voltage-controlled crystal oscillator (VCXO) with divider) 2. CLK IN (SMB jack connector) 3. PXI_STAR (PXI backplane—PXI only) 4. STROBE (DDC connector; acquisition only)	—
On Board Clock frequency range	NI 6551: 48 Hz to 50 MHz Configurable to 200 MHz/ N , where $4 \leq N \leq 4,194,304$ NI 6552: 48 Hz to 100 MHz Configurable to 200 MHz/ N , where $2 \leq N \leq 4,194,304$	—
CLK IN frequency range	NI 6551: 20 kHz to 50 MHz NI 6552: 20 kHz to 100 MHz	Refer to the CLK IN (SMB Jack Connector) section for restrictions based on waveform type.

Specification	Value		Comments
PXI_STAR frequency range (PXI only)	NI 6551: 48 Hz to 50 MHz NI 6552: 48 Hz to 100 MHz		Refer to the PXI_STAR (PXI Backplane—PXI only) section.
STROBE frequency range	NI 6551: 48 Hz to 50 MHz NI 6552: 48 Hz to 100 MHz		Refer to the STROBE (DDC Connector) section.
Sample clock relative delay adjustment	0.0 to 1.0 Sample clock periods		You can apply a delay or phase adjustment to the On Board Clock to align multiple devices.
Sample clock relative delay adjustment resolution	10 ps		
Exported Sample clock destinations	1. DDC CLK OUT (DDC connector) 2. CLK OUT (SMB jack connector)		Sample clocks with sources other than STROBE can be exported.
Exported Sample clock delay range (δ_C)	0.0 to 1.0 Sample clock periods		For clock frequencies ≥ 25 MHz
Exported Sample clock delay resolution (δ_C)	1/256 of Sample clock period		For clock frequencies ≥ 25 MHz
Exported Sample clock jitter	Period Jitter	Cycle-to-Cycle Jitter	Typical; using On Board Clock
	20 ps _{rms}	35 ps _{rms}	

Generation Timing (Data, DDC CLK OUT, and PFI <0..3> Channels)

Specification	Value	Comments
Data channel-to-channel skew	± 300 ps	Typical skew across all data channels
	± 900 ps	Maximum skew across all data channels
Maximum data channel toggle rate	NI 6551: 25 MHz NI 6552: 50 MHz	—
Data formats	NRZ	—
Data position modes	Sample Clock Rising Edge, Sample Clock Falling Edge, or Delay from Sample Clock Rising Edge	Per channel
Generation data delay range (δ_G)	0.0 to 1.0 Sample clock periods	Supported for clock frequencies ≥ 25 MHz
Generation data delay resolution (δ_G)	1/256 of Sample clock period	Supported for clock frequencies ≥ 25 MHz

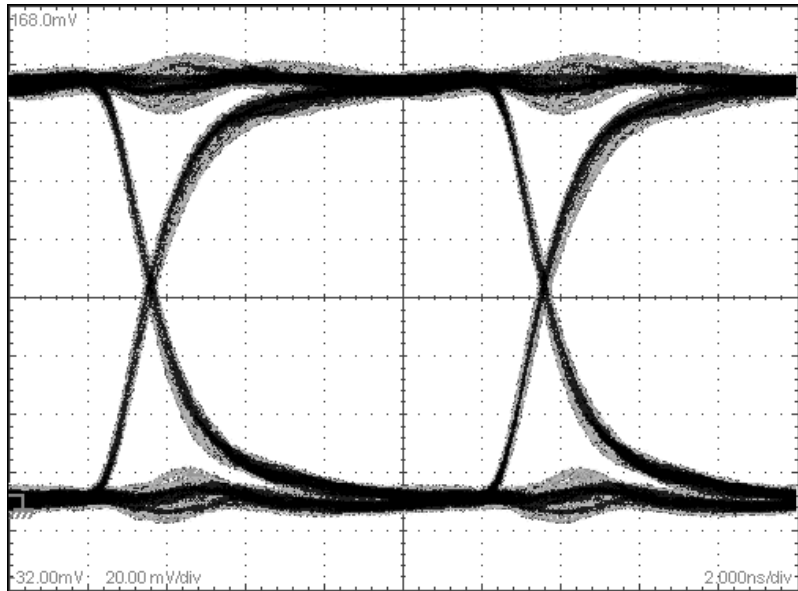


Figure 1. Eye Diagram¹

Specification	Value		Comments
Rise time (0 V to 3.3 V swing)	Into 50 Ω	2.25 ns	20% to 80%, typical
	Into 1 M Ω	2.75 ns into 475 pF test system capacitance	
Fall time (0 V to 3.3 V swing)	Into 50 Ω	2.25 ns	20% to 80%, typical
	Into 1 M Ω	2.75 ns into 475 pF test system capacitance	
Exported Sample clock offset (t_{CO})	0 ns or 2.5 ns (default)		Software-selectable
Time delay from Sample clock (internal) to DDC connector (t_{SCDDC})	32.5 ns		Typical

¹ This eye diagram was captured on DIO 0 (100 MHz clock rate) at 3.3 V at room temperature into 50 Ω termination.

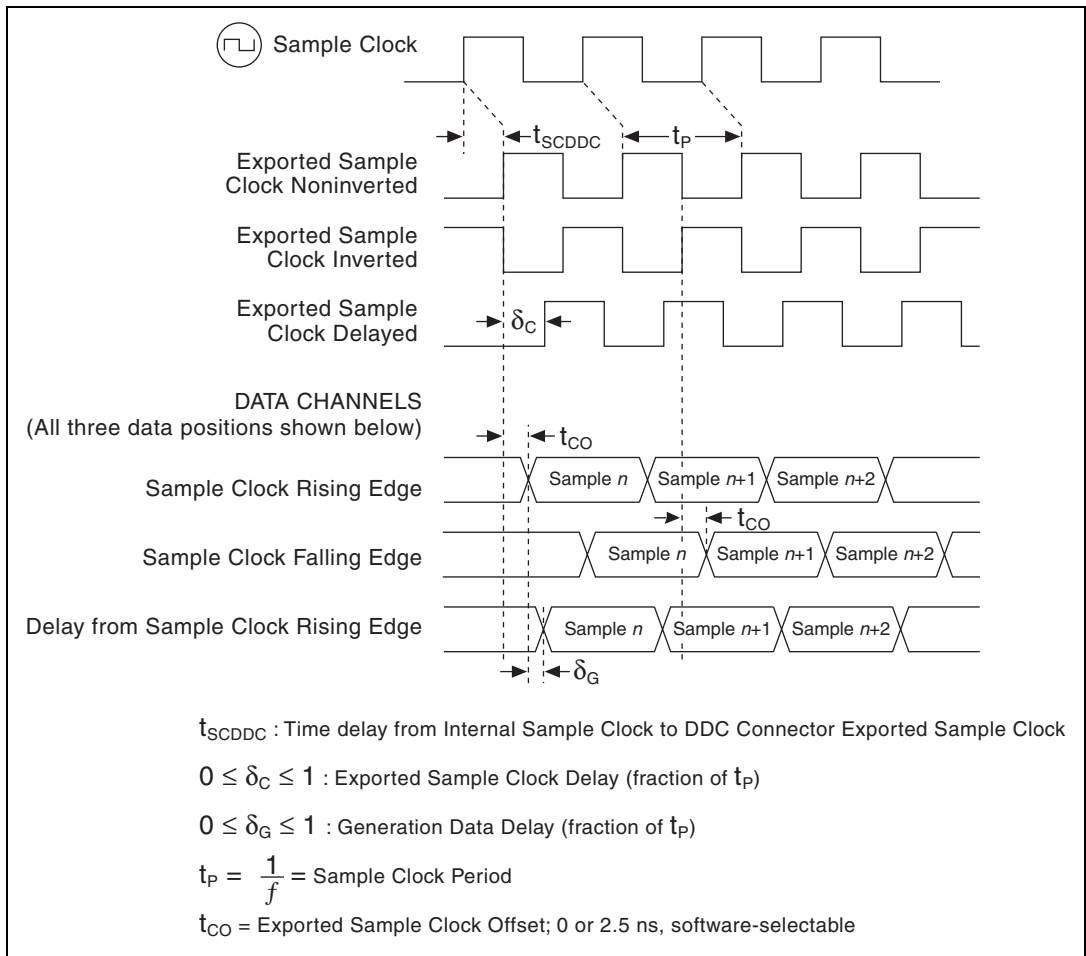
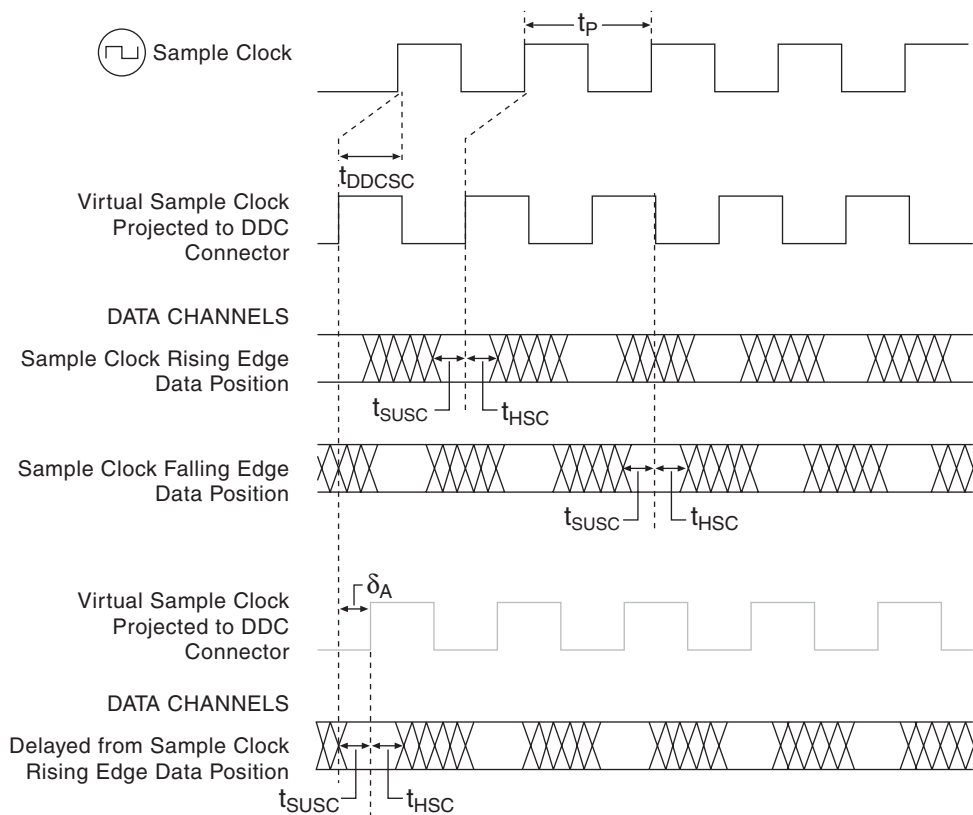


Figure 2. Generation Timing Diagram

Acquisition Timing (Data, STROBE, and PFI <0..3> Channels)

Specification	Value	Comments
Channel-to-channel skew	± 400 ps	Typical skew across all data channels
	± 900 ps	Maximum skew across all data channels
Minimum detectable pulse width	4 ns	Required at both acquisition voltage thresholds
Set-up time to STROBE (t_{SUS})	2.3 ns	Maximum; includes maximum data channel-to-channel skew
Hold time to STROBE (t_{HS})	1.9 ns	Maximum; includes maximum data channel-to-channel skew
Time delay from DDC connector to internal Sample clock (t_{DDCSC})	27.5 ns	Typical
Set-up time to Sample clock (t_{SUSC})	0.4 ns	Does not include data channel-to-channel skew, t_{DDCSC} , or t_{SCDDC}

Specification	Value	Comments
Hold time to Sample clock (t_{HSC})	0 ns	Does not include data channel-to-channel skew, t_{DDCSC} , or t_{SCDDC}
Data position modes	Sample Clock Rising Edge, Sample Clock Falling Edge, or Delay from Sample Clock Rising Edge	Per channel
Acquisition data delay range (δ_A)	0.0 to 1.0 Sample clock periods	For clock frequencies ≥ 25 MHz
Acquisition data delay resolution (δ_A)	1/256 of Sample clock period	For clock frequencies ≥ 25 MHz



t_{DDCSC} : Time Delay from DDC Connector to Internal Sample Clock

$0 \leq \delta_A \leq 1$: Acquisition Data Delay (fraction of t_P)

$t_P = \frac{1}{f}$ = Period of Sample Clock

t_{SUSC} = Set-Up Time to Sample Clock

t_{HSC} = Hold Time to Sample Clock

Figure 3. Acquisition Timing Diagram

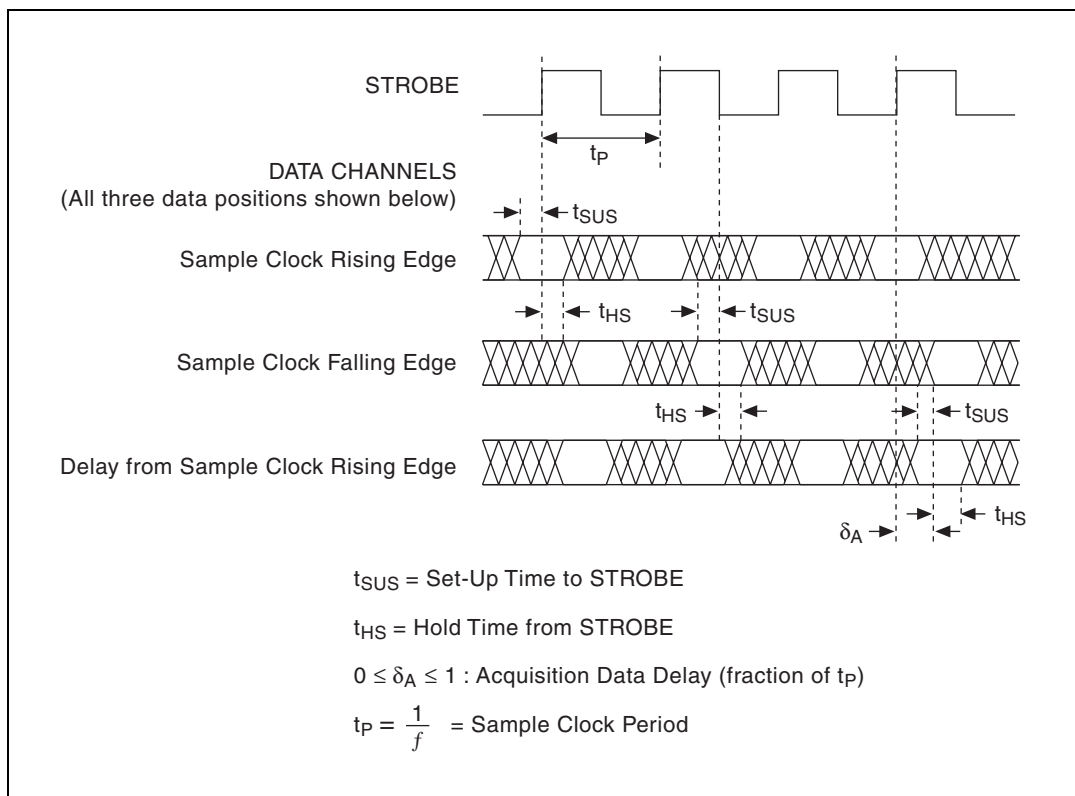


Figure 4. Acquisition Timing Diagram Using STROBE as the Sample Clock

CLK IN (SMB Jack Connector)

Specification	Value	Comments
Direction	Input into device	—
Destinations	1. Reference clock (for the phase lock loop (PLL)) 2. Sample clock	—
Input coupling	AC	—
Input protection	± 10 VDC	—
Input impedance	50 Ω (default) or 1 k Ω	Software-selectable
Minimum detectable pulse width	4 ns	Required at V_{rms} mean

Specification	Value				Comments
Clock requirements	Clock must be continuous and free-running				—
As Sample clock					
External Sample clock requirements	Square Waves				—
	Voltage range	0.65 V _{pp} to 5.0 V _{pp}			—
	Frequency range	NI 6551: 20 kHz to 50 MHz			—
		NI 6552: 20 kHz to 100 MHz			—
	Duty cycle range	$f < 50$ MHz: 25% to 75% $f \geq 50$ MHz: 40% to 60%			—
	Sine Waves				—
	Voltage range	0.65 V _{pp} to 5.0 V _{pp}	1.0 V _{pp} to 5.0 V _{pp}	2.0 V _{pp} to 5.0 V _{pp}	—
Frequency range	NI 6551: 5.5 MHz to 50 MHz	NI 6551: 3.5 MHz to 50 MHz	NI 6551: 1.8 MHz to 50 MHz	—	
	NI 6552: 5.5 MHz to 100 MHz	NI 6552: 3.5 MHz to 100 MHz	NI 6552: 1.8 MHz to 100 MHz	—	
As Reference Clock					
Reference clock frequency range	10 MHz ±50 ppm				—
Reference clock voltage range	0.65 V _{pp} to 5.0 V _{pp}				—
Reference clock duty cycle	25% to 75%				—

STROBE (DDC Connector)

Specification	Value		Comments
Direction	Input into device		—
Destinations	Sample clock (acquisition only)		—
STROBE frequency range	NI 6551: 48 Hz to 50 MHz NI 6552: 48 Hz to 100 MHz		—
STROBE duty cycle range	NI 6551: 25% to 75% NI 6552: $f \leq 50$ MHz: 25% to 75% $f > 50$ MHz: 40% to 60%		At the programmed thresholds
Minimum detectable pulse width	4 ns		Required at both acquisition voltage thresholds
Voltage thresholds	Refer to the <i>Acquisition Timing (Data, STROBE, and PFI <0..3> Channels)</i> specifications in the <i>Channel Specifications</i> section.		—
Clock requirements	Clock must be continuous and free-running		—
Input impedance	Module Assemblies Labeled A and B	Module Assemblies Labeled C and Later	Software-selectable
	50 Ω or 10 k Ω (default)	50 Ω or 50 k Ω (default)	

PXI_STAR (PXI Backplane—PXI only)

Specification	Value	Comments
Direction	Input into device	—
Destinations	1. Sample clock 2. Start trigger 3. Reference trigger (acquisition sessions only) 4. Advance trigger (acquisition sessions only) 5. Pause trigger (generation sessions only) 6. Script trigger (generation sessions only)	—

Specification	Value	Comments
PXI_STAR frequency range	NI 6551: 48 Hz to 50 MHz NI 6552: 48 Hz to 100 MHz	—
Clock requirements	Clock must be continuous and free-running	—

CLK OUT (SMB Jack Connector)

Specification	Value	Comments
Direction	Output from device	—
Sources	1. Sample clock (excluding STROBE) 2. Reference clock (PLL)	—
Output impedance	50 Ω nominal	—
As Sample Clock		
Electrical characteristics	Refer to the <i>Generation Timing (Data, DDC CLK OUT, and PFI <0..3> Channels)</i> specifications in the <i>Channel Specifications</i> section.	—
As Reference Clock		
Maximum drive current	24 mA	—
Logic type	3.3 V CMOS	—

DDC CLK OUT (DDC Connector)

Specification	Value	Comments
Direction	Output from device	—
Sources	Sample clock	STROBE cannot be routed to DDC CLK OUT
Electrical characteristics	Refer to the <i>Generation Timing (Data, DDC CLK OUT, and PFI <0..3> Channels)</i> specifications in the <i>Channel Specifications</i> section.	—

Reference Clock (PLL)

Specification	Value	Comments
Reference clock sources	1. PXI_CLK10 (PXI backplane—PXI only) 2. RTSI 7 (RTSI bus—PCI only) 3. CLK IN (SMB jack connector) 4. None (On Board Clock not locked to a reference)	Provides the reference frequency for the PLL
Lock time	400 ms	Typical
Reference clock frequencies	10 MHz $\pm$ 50 ppm	—
Reference clock duty cycle	25% to 75%	—
Reference clock destinations	CLK OUT (SMB jack connector)	—

Waveform Characteristics

Memory and Scripting

Specification	Value			Comments
Memory architecture	The NI 655X uses the Synchronization and Memory Core (SMC) technology in which waveforms and instructions share onboard memory. Parameters such as number of script instructions, maximum number of waveforms in memory, and number of samples (S) available for waveform storage are flexible and user-defined.			Refer to the <i>NI Digital Waveform Generator/ Analyzer Help</i> for more information.
Onboard memory size	1 Mbit/channel (for generation sessions)	8 Mbit/channel (for generation sessions)	64 Mbit/channel (for generation sessions)	Maximum limit for generation sessions assumes no scripting instructions.
	1 Mbit/channel (for acquisition sessions)	8 Mbit/channel (for acquisition sessions)	64 Mbit/channel (for acquisition sessions)	

Specification	Value		Comments	
Generation modes	Single-waveform mode: Generate a single waveform once, N times, or continuously.		—	
	Scripted mode: Generate a simple or complex sequence of waveforms. Use scripts to describe the waveforms to be generated, the order in which the waveforms are generated, how many times the waveforms are generated, and how the device responds to Script triggers.			
Generation minimum waveform size	Configuration	Sample Rate		Sample rate dependent. Increasing sample rate increases minimum waveform size requirement.
		100 MHz (NI 6552 only)	50 MHz	
	Finite waveform	2 S	2 S	For information on these configurations, refer to the <i>Common Scripting Use Cases</i> topic in the <i>NI Digital Waveform Generator/Analyzer Help</i> .
	Continuous waveform	32 S	16 S	
	Stepped triggered script	128 S	64 S	
	Burst triggered script	512 S	256 S	
Generation finite repeat count	1 to 16,777,216		—	
Generation waveform quantum	Waveform size must be an integer multiple of 2 S.		Regardless of waveform size, NI-HSDIO allocates waveforms into block sizes of 32 S of physical memory.	

Specification	Value	Comments
Acquisition minimum record size	1 S	—
Acquisition record quantum	1 record	—
Acquisition number of pre-Reference trigger samples	0 up to full record	—
Acquisition number of post-Reference trigger samples	0 up to full record	—

Triggers (Inputs to the NI 655X)

Specification	Values	Comments
Trigger types	1. Start trigger 2. Pause trigger 3. Script trigger (generation sessions only) 4. Reference trigger (acquisition sessions only) 5. Advance trigger (acquisition sessions only)	—
Sources	1. PFI 0 (SMB jack connector) 2. PFI <1..3> (DDC connector) 3. PXI_TRIG<0..7> (PXI backplane—PXI only)/RTSI <0..7> (RTSI bus—PCI only) 4. PXI_STAR (PXI backplane—PXI only) 5. Pattern match (acquisition sessions only) 6. Software (user function call) 7. Disabled (do not wait for a trigger)	—

Specification	Values			Comments
Trigger detection	1. Start trigger (edge detection: rising or falling) 2. Pause trigger (level detection: high or low) 3. Script trigger <0..3> (edge detection: rising or falling; level detection: high or low) 4. Reference trigger (edge detection: rising or falling) 5. Advance trigger (edge detection: rising or falling)			—
Minimum required trigger pulse width	Generation Triggers		Acquisition Triggers	—
	30 ns		Acquisition triggers must meet set-up and hold time requirements.	
Trigger rearm time	Start to Reference Trigger	Start to Advance Trigger	Reference to Reference Trigger	—
	57 S, typical; 64 S maximum	138 S, typical; 143 S, maximum	132 S, typical; 153 S, maximum	
Destinations	1. PFI 0 (SMB jack connectors) 2. PFI <1..3> (DDC connector) 3. PXI_TRIG<0..7> (PXI backplane—PXI only)/ RTSI <0..7> (RTSI bus—PCI only)			Each trigger can be routed to any destination except the Pause trigger. The Pause trigger cannot be exported for acquisition sessions.
Delay from Pause trigger to Paused state	Generation Sessions		Acquisition Sessions	—
	32 Sample clock periods + 150 ns		Synchronous to the data	Use the Data Active event during generation to determine when the NI 655X enters the Pause state.
Delay from trigger to digital data output	32 Sample clock periods + 160 ns			—

Events (Output from the NI 655X)

Specification	Value	Comments
Event type	1. Marker <0..3> (generation sessions only) 2. Data Active event (generation sessions only) 3. Ready for Start event 4. Ready for Advance event (acquisition sessions only) 5. End of Record event (acquisition sessions only)	—
Destinations	1. PFI 0 (SMB jack connectors) 2. PFI <1..3> (DDC connector) 3. PXI_TRIG<0..7> (PXI backplane—PXI only)/ RTSI <0..7> (RTSI bus—PCI only)	Each event, except the Data Active event, can be routed to any destination. The Data Active event can only be routed to PFI channels.
Marker time resolution (placement)	Markers must be placed at an integer multiple of 2 S	—

Calibration

Specification	Value	Comments
Interval for external calibration	2 years	—
Warm-up time	15 minutes	—
Onboard calibration voltage reference		
Temperature coefficient	$\pm 5 \text{ ppm}/^{\circ}\text{C}$	—
Long-term stability	$90 \text{ ppm}/\sqrt{\text{kHr}}$	Typical
On Board Clock characteristics (only valid when PLL reference source is set to None)		
Frequency accuracy	$\pm 100 \text{ ppm}$	Typical
Temperature stability	$\pm 30 \text{ ppm}$	Typical
Aging	$\pm 5 \text{ ppm}$ first year	Typical

Power

Specification	Value		Comments
	Typical	Maximum	
+3.3 VDC	2.0 A	2.0 A	—
+5 VDC	1.8 A	PXI	—
		2.3 A	—
+12 VDC	0.3 A	0.5 A	—
–12 VDC	0.2 A	0.2 A	—
Total power	21.6 W	PXI	—
		26.5 W	—
		PCI	—
		27 W	—

Software Specifications

Specification	Value	Comments
Driver software	NI-HSDIO driver software. NI-HSDIO allows you to configure, control, and calibrate the NI 655X. NI-HSDIO provides application interfaces for many development environments. NI-HSDIO follows IVI API guidelines.	—
Application software	NI-HSDIO provides programming interfaces for the following application development environments: - National Instruments LabVIEW 7.0 or later - National Instruments LabWindows™/CVI™ 6.0 or later - Microsoft Visual C/C++ 6.0 or later	—
Test panel	National Instruments Measurement & Automation Explorer (MAX) provides test panels with basic acquisition and generation functionality for the NI 655X. MAX is included on the NI-HSDIO driver CD.	—

Environment



Note To ensure that the NI 655X cools effectively, follow the guidelines in the *Maintain Forced Air Cooling Note to Users* included with the NI 655X. The NI 655X is intended for indoor use only.

Specification	Value		Comments
Operating temperature	PXI	PCI	—
	0 °C to +55 °C in all NI PXI chassis except the following: 0 °C to +45 °C when installed in an NI PXI-1000/B and NI PXI-101X chassis (Meets IEC-60068-2-1 and IEC-60068-2-2)	0 °C to +45 °C	
Storage temperature	–20 °C to 70 °C		—
Operating relative humidity	10% to 90% relative humidity, noncondensing (Meets IEC-60068-2-56)		—

Specification	Value	Comments
Storage relative humidity	5% to 95% relative humidity, noncondensing (Meets IEC-60068-2-56)	—
Operating shock	30 g, half-sine, 11 ms pulse (Meets IEC-60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.)	NI PXI-655X only
Storage shock	50 g, half-size, 11 ms pulse (Meets IEC-60068-2-27. Test profile developed in accordance with MIL-PRF-28800F.)	NI PXI-655X only
Operating vibration	5 Hz to 500 Hz, 0.31 g _{rms} (Meets IEC-60068-2-64)	NI PXI-655X only
Storage vibration	5 Hz to 500 Hz, 2.46 g _{rms} (Meets 60068-2-64. Test profile exceeds requirements of MIL-PRF-28800F, Class B)	NI PXI-655X only
Altitude	0 m to 2,000 m above sea level (at 25 °C ambient temperature)	—
Pollution Degree	2	—

Safety, Electromagnetic Compatibility, and CE Compliance

Specification	Value	Comments
Safety	The NI 655X meets the requirements of the following standards of safety for electrical equipment for measurement, control, and laboratory use: • IEC 61010-1, EN 61010-1 • UL 3111-1, UL 61010B-1 • CAN/CSA-C22.2 No. 1010-1	For UL and other safety certifications, refer to the product label or to ni.com .
Emissions	EN 55011 Class A at 10 m FCC Part 15A above 1 GHz	—
Immunity	EN 61326:1997 + A2:2001, Table 1	—
EMC/EMI	CE, C-Tick, and FCC Part 15 (Class A) Compliant Note: For EMC compliance, you <i>must</i> operate this device with shielded cabling.	—
This product meets the essential requirements of applicable European Directives, as amended for CE marking, as follows:		
Low-Voltage Directive (safety)	73/23/EEC	—

Specification	Value	Comments
Electro-magnetic Compatibility Directive (EMC)	89/336/EEC	—
For full EMC compliance, you must operate this device with shielded cabling. In addition, all covers and filler panels must be installed. Refer to the Declaration of Conformity (DoC) for this product for any additional regulatory compliance information. To obtain the DoC for this product, visit ni.com/certification , search by model number or product line, and click the appropriate link in the Certification column.		

Physical Specifications

Specification	Value		Comments
Dimensions	PXI	PCI	
	18.6 cm × 13.1 cm (7.32 in. × 5.16 in.) Single 3U CompactPCI slot; PXI compatible	12.6 cm × 35.5 cm (4.95 in. × 13.9 in.)	—
Weight	375 g (13.2 oz)		—
Front Panel Connectors			
Label	Function(s)	Connector Type	—
CLK IN	External Sample clock, external PLL reference input	SMB jack connector	—
PFI 0	Events, triggers	SMB jack connector	—
CLK OUT	Exported Sample clock, exported Reference clock	SMB jack connector	—
DIGITAL DATA & CONTROL	Digital data channels, exported Sample clock, STROBE, events, triggers	68-pin VHDCI connector	—

National Instruments, NI, ni.com, and LabVIEW are trademarks of National Instruments Corporation. Refer to the *Terms of Use* section on ni.com/legal for more information about National Instruments trademarks. Other product and company names mentioned herein are trademarks or trade names of their respective companies. For patents covering National Instruments products, refer to the appropriate location: **Help»Patents** in your software, the `patents.txt` file on your CD, or ni.com/patents.

NI PXI/PCI-6551/6552 仕様

50/100 MHz デジタル波形発生器 / アナライザ

このドキュメントでは、総称して NI 655X と呼ぶ、NI PXI/PCI-6551 (NI 6551) および NI PXI/PCI-6552 (NI 6552) の仕様を記載します。

標準値は、室温で動作する平均単位です。仕様は事前の通知なしに変更されることがあります。最新の NI 6551/6552 の仕様については、ni.com/manuals をご覧ください。

NI 655X 信号の機能の説明を含む『NI デジタル波形発生器 / アナライザ スタートアップガイド』などの、NI 655X のドキュメントにアクセスするには、**スタート→プログラム→National Instruments→NI-HSDIO→ドキュメント**を参照してください。



熱面

NI 655X が使用されている場合、安全な取扱温度を超え、火傷をする可能性があります。シャーシから取り外す前に、十分に冷却してください。

目次

チャンネル仕様.....	2
生成チャンネル（データ、DDC CLK OUT、および PFI <0..3>）.....	3
集録チャンネル（データ、STROBE、および PFI <0..3>）.....	4
タイミング仕様.....	5
サンプルクロック.....	5
生成タイミング（データ、DDC CLK OUT、および PFI <0..3> チャンネル）.....	7
集録タイミング（データ、STROBE、および PFI <0..3> チャンネル）.....	10
CLK IN（SMB ジャックコネクタ）.....	12
STROBE（DDC コネクタ）.....	14
PXI_STAR（PXI バックプレーン—PXI のみ）.....	14
CLK OUT（SMB ジャックコネクタ）.....	15
DDC CLK OUT（DDC コネクタ）.....	15
基準クロック（PLL）.....	16

波形特性.....	16
メモリおよびスクリプト	16
トリガ (NI 655X への入力)	18
イベント (NI 655X から出力)	20
キャリブレーション	21
電源.....	21
ソフトウェア仕様	22
環境.....	22
安全性、電磁両立性、CE 適合	23
物理特性.....	24

チャンネル仕様

仕様	値	コメント
データチャンネル数	20	—
データチャンネルの出入力方向制御	各チャンネルごと	—
プログラム可能関数インタフェース (PFI) チャンネル数	4	詳細については、「 波形特性 」セクションを参照してください。
PFI チャンネルの出入力方向制御	各チャンネルごと	—
クロック端子数	3 入力、2 出力	詳細については、「 タイミング仕様 」セクションを参照してください。

生成チャンネル（データ、DDC CLK OUT、および PFI <0..3>）

仕様	値	コメント
生成電圧レンジ	-2.0 ~ 5.5 V	(1 MΩ 負荷)
生成信号タイプ	シングルエンド	—
プログラムで設定可能な電圧レベルの数	1 低電圧レベル 1 高電圧レベル メモ ：すべての生成チャンネルには 1 低電圧および 1 高電圧レベルしか設定できませんが、すべての集録チャンネルには異なる低電圧および高電圧レベルを設定することができます。	すべてのデータ、CLK OUT（サンプリクロックのみ）、および PFI チャンネル
生成電圧レンジ制限	-0.5 ~ 5.5 V（最大 50 MHz クロックレート） -2.0 ~ 3.7 V（最大 50 MHz クロックレート） -0.5 ~ 3.7 V（50 ~ 100 MHz クロックレート、NI 6552 のみ）	(1 MΩ 負荷)
生成電圧振幅	400 mV ~ 6 V（最大 50 MHz クロックレート） 400 mV ~ 4.2 V（50 ~ 100 MHz クロックレート、NI 6552 のみ）	(1 MΩ 負荷)
生成電圧レベル分解能	10 mV	(1 MΩ 負荷)
DC 生成電圧レベル確度	±20 mV	(1 MΩ 負荷、システムクロストークは除く)
出力インピーダンス	50 Ω（公称）	25 °C 時
出力インピーダンス温度係数	0.2 Ω/°C	標準
最大 DC 出力電流強度	チャンネルあたり最大 ±50 mA すべてのデータ、クロック、および PFI チャンネルに対し、最大 ±600 mA	—
データチャンネル駆動有効 / 無効制御	各チャンネルごと	ソフトウェアで選択可能

仕様	値		コメント
チャンネルの電源投入時の状態	A および B のラベルが付いたモジュールアセンブリ	C 以降のラベルが付いたモジュールアセンブリ	—
	ドライバ無効、10 k Ω 入力インピーダンス	ドライバ無効、50 k Ω 入力インピーダンス	
出力保護	デバイスは、生成電圧レンジ内の電圧で短絡に対して無限に耐えます。		—

集録チャンネル（データ、STROBE、および PFI <0..3>）

仕様	値	コメント
チャンネルあたりの電圧比較器数	2	—
集録電圧レンジ	-2.0 ~ 5.5 V	—
プログラム可能な集録しきい値数	1 低電圧レベルしきい値 1 高電圧レベルしきい値 メモ ：すべての生成チャンネルには 1 低電圧および 1 高電圧レベルしか設定できませんが、すべての集録チャンネルには異なる低電圧および高電圧レベルを設定することができます。	すべてのデータ、STROBE、および PFI チャンネル
検知可能な最小電圧振幅	50 mV	10 k Ω 入力インピーダンス、50% デューティサイクル入力信号で測定
集録電圧しきい値分解能	10 mV	10 k Ω 入力インピーダンス
DC 集録電圧しきい値確度	± 30 mV	10 k Ω 入力インピーダンス、システムクロストークは除く

仕様	値		コメント
入力インピーダンス	A および B のラベルが付いたモジュールアセンブリ	C 以降のラベルが付いたモジュールアセンブリ	電源投入時および有効な電圧レンジ内でチャンネルごとにソフトウェアで選択可能。
	50 Ω 公称または 10 k Ω (デフォルト)	50 Ω 公称または 50 k Ω (デフォルト)	
入力保護	-2.3 ~ 6.8 V		設計のダイオードクランプは、この範囲外で追加保護を提供する場合があります。

タイミング仕様

サンプルクロック

仕様	値	コメント
サンプルクロックソース	1. オンボードクロック (内部電圧制御水晶発振器 (VCXO) ディバイダ付) 2. CLK IN (SMB ジャックコネクタ) 3. PXI_STAR (PXI バックプレーン—PXI のみ) 4. STROBE (DDC コネクタ、集録のみ)	—
オンボードクロック周波数範囲	NI 6551: 48 Hz ~ 50 MHz 200 MHz/ N ($4 \leq N \leq 4,194,304$) に構成可能 NI 6552: 48 Hz ~ 100 MHz 200 MHz/ N ($2 \leq N \leq 4,194,304$) に構成可能	—
CLK IN 周波数レンジ	NI 6551: 20 kHz ~ 50 MHz NI 6552: 20 kHz ~ 100 MHz	波形タイプによる制限については、「 CLK IN (SMB ジャックコネクタ) 」セクションを参照してください。
PXI_STAR 周波数レンジ (PXI のみ)	NI 6551: 48 Hz ~ 50 MHz NI 6552: 48 Hz ~ 100 MHz	「 PXI_STAR (PXI バックプレーン—PXI のみ) 」セクションを参照してください。

仕様	値		コメント
STROBE 周波数範囲	NI 6551: 48 Hz ~ 50 MHz NI 6552: 48 Hz ~ 100 MHz		「STROBE (DDC コネクタ)」セクションを参照してください。
サンプルクロック相対遅延の調整	0.0 ~ 1.0 サンプルクロック周期		遅延または位相調整をオンボードクロックに適用して複数のデバイスを合わせることができます。
サンプルクロック相対遅延の調整分解能	10 ps		
エクスポートしたサンプルクロックの出力先	1. DDC CLK OUT (DDC コネクタ) 2. CLK OUT (SMB ジャックコネクタ)		STROBE 以外のソースのあるサンプルクロックがエクスポートされます。
エクスポートしたサンプルクロックの遅延範囲 (δ _C)	0.0 ~ 1.0 サンプルクロック周期		クロック周波数が 25 MHz 以上の場合
エクスポートしたサンプルクロックの遅延分解能 (δ _C)	サンプルクロック周期の 1/256		クロック周波数が 25 MHz 以上の場合
エクスポートしたサンプルクロックジッタ	周期ジッタ	サイクル間ジッタ	標準、オンボードクロックを使用
	20 ps _{rms}	35 ps _{rms}	

生成タイミング（データ、DDC CLK OUT、および PFI <0..3> チャネル）

仕様	値	コメント
データチャンネル間スキュー	±300 ps	すべてのデータチャンネル間の標準スキュー
	±900 ps	すべてのデータチャンネル間の最大スキュー
最大データチャンネルトグルレート	NI 6551: 25 MHz NI 6552: 50 MHz	—
データ形式	NRZ（非ゼロ復帰）	—
データ位置モード	サンプルクロック立ち上がりエッジ、サンプルクロック立ち下りエッジ、またはサンプルクロック立ち上がりエッジの遅延	各チャンネルごと
生成データ遅延範囲（ δ_G ）	0.0 ～ 1.0 サンプルクロック周期	クロック周波数が 25 MHz 以上の場合
生成データ遅延分解能（ δ_G ）	サンプルクロック周期の 1/256	クロック周波数が 25 MHz 以上の場合

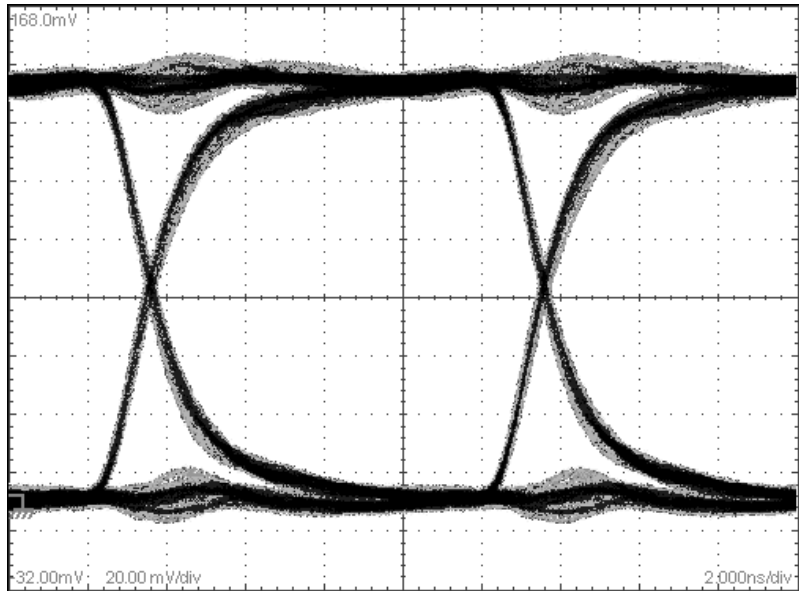


図 1 アイダイアグラム¹

仕様	値		コメント
立ち上がり時間 (0 ~ 3.3 V 振幅)	50 Ω 負荷	2.25 ns	20 ~ 80% (標準)
	1 MΩ 負荷	475 pF テストシステムキャパシタンスの場合 2.75 ns	
立ち下がり時間 (0 ~ 3.3 V 振幅)	50 Ω 負荷	2.25 ns	20 ~ 80% (標準)
	1 MΩ 負荷	475 pF テストシステムキャパシタンスの場合 2.75 ns	
エクスポートしたサンプルクロックオフセット (t_{CO})	0 ns または 2.5 ns (デフォルト)		ソフトウェアで選択可能
サンプルクロック (内部) から DDC コネクタまでの時間遅延 (t_{SCDDC})	32.5 ns		標準

¹ このアイダイアグラムは、50 Ω の終端へ出力する DIO 0 (100 MHz クロックレート) を 3.3 V 時にキャプチャしました (室温時)。

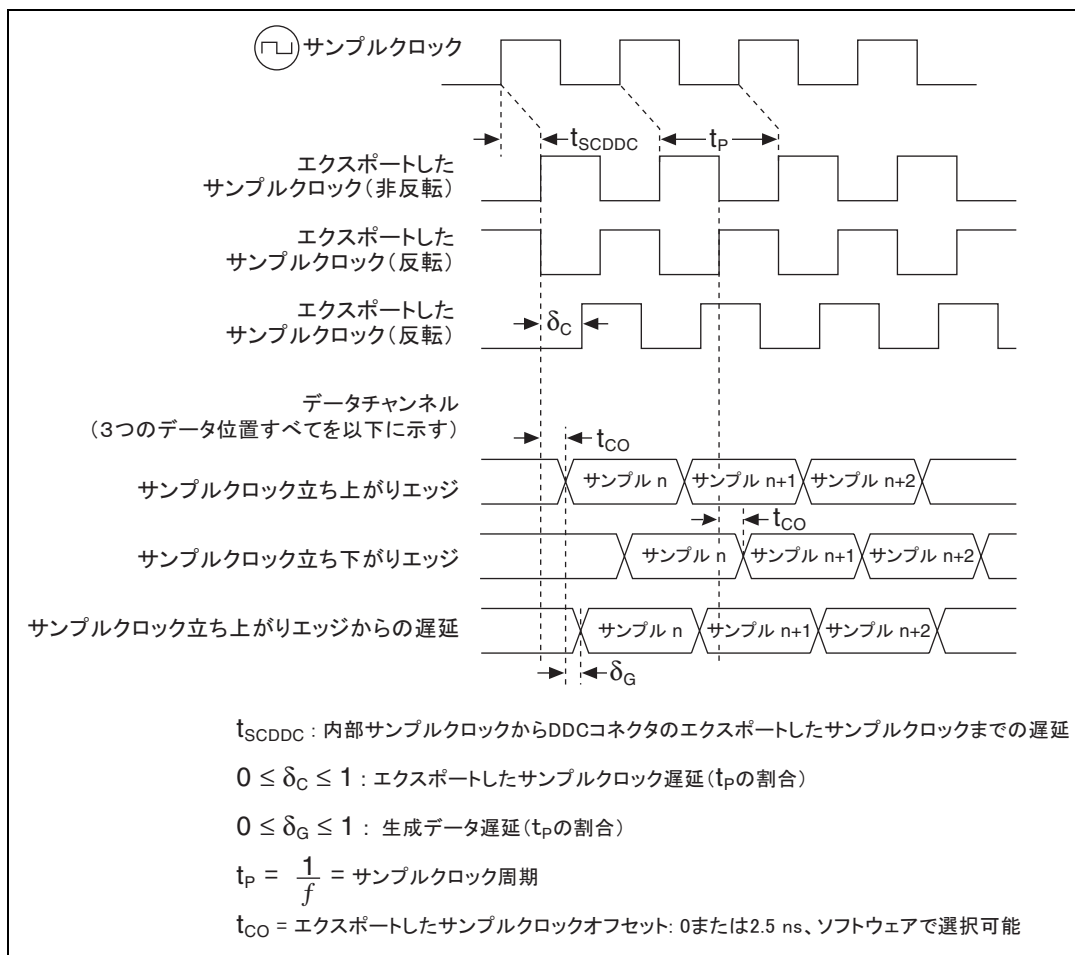


図 2 生成タイミング

集録タイミング（データ、STROBE、および PFI <0..3> チャンネル）

仕様	値	コメント
チャンネル間 スキュー	± 400 ps	すべてのデータ チャンネル間の 標準スキュー
	± 900 ps	すべてのデータ チャンネル間の 最大スキュー
検出可能な最 小パルス幅	4 ns	両方の集録電圧 しきい値が必要
STROBE まで のセットアッ プ時間 (t_{SUS})	2.3 ns	最大、最大デー タチャンネル間 スキューを含む
STROBE まで のホールド時 間 (t_{HS})	1.9 ns	最大、最大デー タチャンネル間 スキューを含む
DDC コネクタ データから内 部サンプルク ロックまでの 時間遅延 (t_{DDCSC})	27.5 ns	標準
サンプルク ロックまでの セットアップ 時間 (t_{SUSC})	0.4 ns	データチャンネ ル間スキュー、 t_{DDCSC} 、または t_{SCDDC} は含まれ ません。
サンプルク ロックまでの ホールド時間 (t_{HSC})	0 ns	データチャンネ ル間スキュー、 t_{DDCSC} 、または t_{SCDDC} は含まれ ません。
データ位置 モード	サンプルクロック立ち上がりエッジ、サンプルクロック立 ち下りエッジ、またはサンプルクロック立ち上がりエッジ の遅延	各チャンネルご と
集録データ遅 延範囲 (δ_A)	0.0 ~ 1.0 サンプルクロック周期	クロック周波数 が 25 MHz 以上 の場合
集録データ遅 延分解能 (δ_A)	サンプルクロック周期の 1/256	クロック周波数 が 25 MHz 以上 の場合

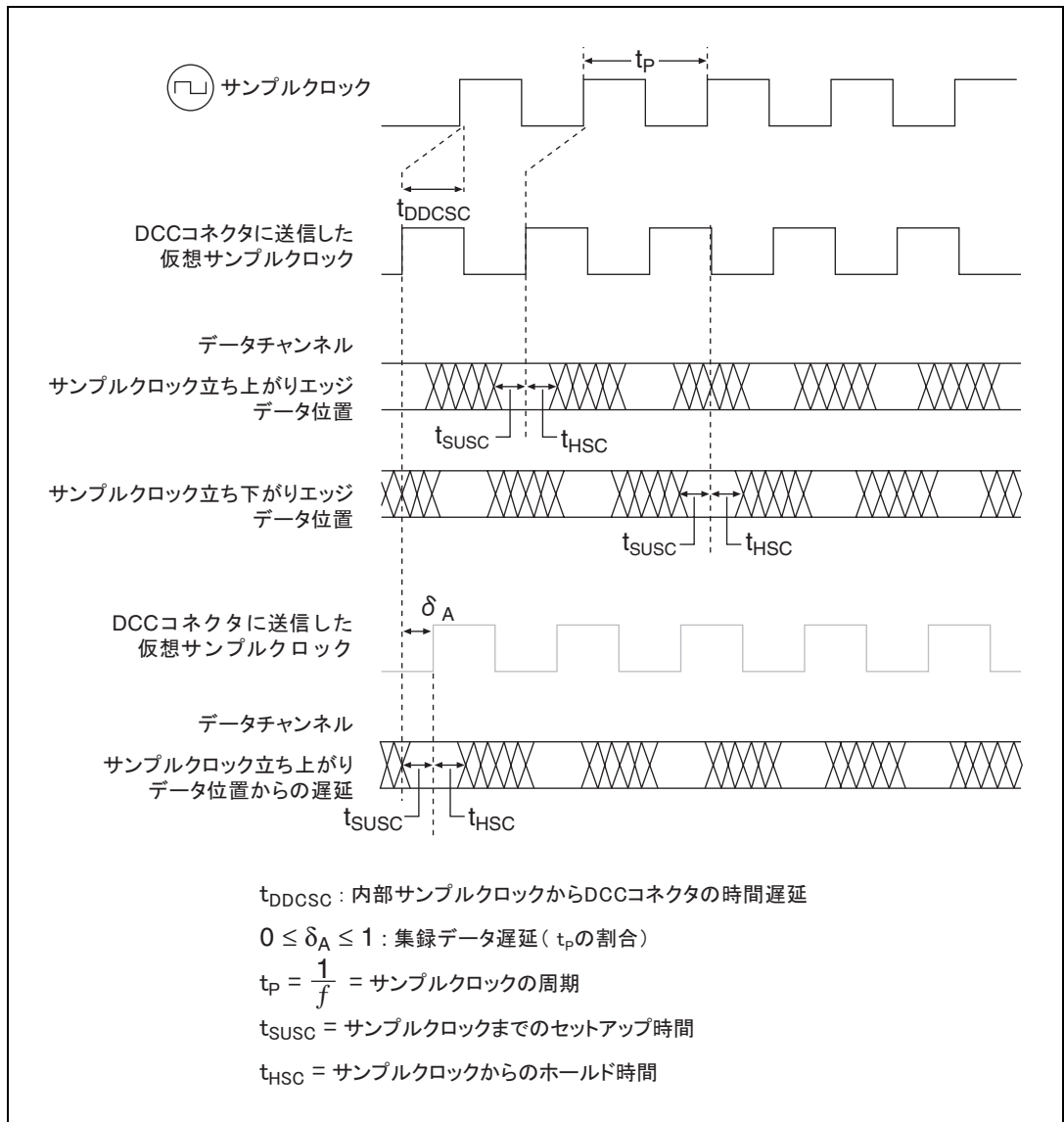


図 3 集録タイミング図

仕様	値				コメント
サンプルクロックの場合					
外部サンプル クロックの 要件	方形波				—
	電圧レンジ	0.65 ～ 5.0 V _{pp}			—
	周波数範囲	NI 6551: 20 kHz ～ 50 MHz			—
		NI 6552: 20 kHz ～ 100 MHz			—
	デューティーサ イクルレンジ	$f < 50 \text{ MHz}$: 25 ～ 75% $f \geq 50 \text{ MHz}$: 40 ～ 60%			—
	正弦波				—
	電圧レンジ	0.65 ～ 5.0 V _{pp}	1.0 ～ 5.0 V _{pp}	2.0 ～ 5.0 V _{pp}	—
	周波数範囲	NI 6551: 5.5 MHz ～ 50 MHz	NI 6551: 3.5 MHz ～ 50 MHz	NI 6551: 1.8 MHz ～ 50 MHz	—
		NI 6552: 5.5 MHz ～ 100 MHz	NI 6552: 3.5 MHz ～ 100 MHz	NI 6552: 1.8 MHz ～ 100 MHz	—
基準クロックの場合					
基準クロック の周波数範囲	10 MHz ±50 ppm				—
基準クロック の電圧レンジ	0.65 ～ 5.0 V _{pp}				—
基準クロック のデュー ティーサイク ル	25 ～ 75%				—

STROBE (DDC コネクタ)

仕様	値		コメント
方向	デバイスへの入力		—
出力先	サンプルクロック (集録のみ)		—
STROBE 周波数範囲	NI 6551: 48 Hz ~ 50 MHz NI 6552: 48 Hz ~ 100 MHz		—
STROBE デューティ サイクルレンジ	NI 6551: 25 ~ 75% NI 6552: $f \leq 50 \text{ MHz}$: 25 ~ 75% $f > 50 \text{ MHz}$: 40 ~ 60%		プログラムしきい値の場合
検出可能な最小パルス幅	4 ns		両方の集録電圧しきい値が必要
電圧しきい値	「チャンネル仕様」セクションの「集録タイミング (データ、STROBE、および PFI <0..3> チャンネル)」仕様を参照してください。		—
クロック要件	クロックは連続および自由実行であること		—
入力インピーダンス	A および B のラベルが付いたモジュールアセンブリ	C 以降のラベルが付いたモジュールアセンブリ	ソフトウェアで選択可能
	50 Ω または 10 k Ω (デフォルト)	50 Ω または 50 k Ω (デフォルト)	

PXI_STAR (PXI バックプレーン—PXI のみ)

仕様	値	コメント
方向	デバイスへの入力	—
出力先	1. サンプルクロック 2. 開始トリガ 3. 基準トリガ (集録セッションのみ) 4. アドバンストリガ (集録セッションのみ) 5. 一時停止トリガ (生成セッションのみ) 6. スクリプトトリガ (生成セッションのみ)	—
PXI_STAR 周波数範囲	NI 6551: 48 Hz ~ 50 MHz NI 6552: 48 Hz ~ 100 MHz	—
クロック要件	クロックは連続および自由実行であること	—

CLK OUT (SMB ジャックコネクタ)

仕様	値	コメント
方向	デバイスから出力	—
ソース	1. サンプルクロック (STROBE を除く) 2. 基準クロック (PLL)	—
出力インピーダンス	50 Ω (公称)	—
サンプルクロックの場合		
電気特性	「チャンネル仕様」セクションの「生成タイミング (データ、DDC CLK OUT、および PFI <0..3> チャンネル)」仕様を参照してください。	—
基準クロックの場合		
最大駆動電流	24 mA	—
論理タイプ	3.3 V CMOS	—

DDC CLK OUT (DDC コネクタ)

仕様	値	コメント
方向	デバイスから出力	—
ソース	サンプルクロック	STROBE は DDC CLK OUT に経路設定できません
電気特性	「チャンネル仕様」セクションの「生成タイミング (データ、DDC CLK OUT、および PFI <0..3> チャンネル)」仕様を参照してください。	—

基準クロック（PLL）

仕様	値	コメント
基準クロックソース	1. PXI_CLK10（PXI バックプレーン—PXI のみ） 2. RTSI 7（RTSI バス—PCI のみ） 3. CLK IN（SMB ジャックコネクタ） 4. なし（基準にロックされていないオンボードクロック）	PLL の基準周波数を提供
ロック時間	400 ms	標準
基準クロック周波数	10 MHz $\pm$ 50 ppm	—
基準クロックのデューティサイクル	25 ～ 75%	—
基準クロック周波数の出力先	CLK OUT（SMB ジャックコネクタ）	—

波形特性

メモリおよびスクリプト

仕様	値			コメント
メモリアーキテクチャ	NI 655X は、波形と命令がオンボードメモリを共有する SMC（Synchronization and Memory Core）テクノロジーを使用しています。スクリプト命令数、メモリ内の最大波形数、および波形ストレージで使えるサンプル数などのパラメータは、柔軟性がありユーザ定義可能。			詳細については、『NI デジタル波形発生器 / アナライザヘルプ』を参照してください。
オンボードメモリサイズ	1 M ビット / チャンネル（生成セッション） 1 M ビット / チャンネル（集録セッション）	8 M ビット / チャンネル（生成セッション） 8 M ビット / チャンネル（集録セッション）	64 M ビット / チャンネル（生成セッション） 64 M ビット / チャンネル（集録セッション）	生成セッションの最大制限は、スクリプトの命令がないことを前提としています。

仕様	値		コメント	
生成モード	単一波形モード： 単一の波形を一回、 N 回、または連続して生成します。		—	
	スクリプトモード： シンプルまたは複雑な波形のシーケンスを生成します。スクリプトを使用して、生成する波形、波形が生成される順序、生成する波形数、およびスクリプトトリガにデバイスがどのように反応するかを示します。			
生成最小波形サイズ	構成	サンプルレート		サンプルレートに依存。サンプルレートを上げると最小波形サイズの要件が増加。 これらの構成の詳細については、『NI デジタル波形発生器 / アナライザヘルプ』の「一般的なスクリプトの使用」を参照してください。
		100 MHz (NI 6552 のみ)	50 MHz	
	有限波形	2 S	2 S	
	連続波形	32 S	16 S	
	ステップトリガスクリプト	128 S	64 S	
	バーストリガスクリプト	512 S	256 S	
有限生成繰り返し回数	1 ～ 16,777,216		—	
生成波形量	波形サイズは、2 S の整数倍である必要があります。		波形サイズに関係なく、NI-HSDIO は波形を物理メモリの 32 S ブロックサイズに割り当てます。	
集録最小レコードサイズ	1 S		—	
集録レコード量	1 レコード		—	
基準前のトリガサンプル集録数	0 ～最大レコード		—	
基準後のトリガサンプル集録数	0 ～最大レコード		—	

トリガ（NI 655X への入力）

仕様	値			コメント
トリガタイプ	1. 開始トリガ 2. 一時停止トリガ 3. スクリプトトリガ（生成セッションのみ） 4. 基準トリガ（集録セッションのみ） 5. アドバンストリガ（集録セッションのみ）			—
ソース	1. PFI 0（SMB ジャックコネクタ） 2. PFI <1..3>（DDC コネクタ） 3. PXI_TRIG<0..7>（PXI バックプレーン—PXI のみ） / RTSI <0..7>（RTSI バス—PCI のみ） 4. PXI_STAR（PXI バックプレーン—PXI のみ） 5. パターンマッチ（集録セッションのみ） 6. ソフトウェア（ユーザによる関数呼び出し） 7. 無効（トリガ待機なし）			—
トリガ検出	1. 開始トリガ（エッジ検出：立ち上がりまたは立ち下がり） 2. 一時停止トリガ（レベル検出：HIGH もしくは LOW） 3. スクリプトトリガ <0..3>（エッジ検出：立ち上がりまたは立ち下がり、レベル検出：HIGH もしくは LOW） 4. 基準トリガ（エッジ検出：立ち上がりまたは立ち下がり） 5. アドバンストリガ（エッジ検出：立ち上がりまたは立ち下がり）			—
必要最小トリガパルス幅	生成トリガ		集録トリガ	—
	30 ns		集録トリガは、セットアップおよびホールド時間の要件を満たす必要があります。	
トリガリアーム時間	開始～基準トリガ	開始～アドバンストリガ	基準～基準トリガ	—
	57 S（通常）、 64 S（最大）	138 S（通常）、 143 S（最大）	132 S（通常）、 153 S（最大）	

仕様	値		コメント
出力先	1. PFI 0 (SMB ジャックコネクタ) 2. PFI <1..3> (DDC コネクタ) 3. PXI_TRIG<0..7> (PXI バックプレーン—PXI のみ) / RTSI <0..7> (RTSI バス—PCI のみ)		各トリガは、一時停止トリガ以外すべての出力先にルーティング可能。一時停止トリガは集録セッションにエクスポートできません。
一時停止トリガから一時停止状態までの遅延	生成セッション	集録セッション	—
	32 サンプルクロック周期 + 150 ns	データに同期	生成中にデータアクティブイベントを使用して、NI 655X が一時停止状態に入るタイミングを決定。
トリガからデジタルデータ出力までの遅延	32 サンプルクロック周期 + 160 ns		—

イベント (NI 655X から出力)

仕様	値	コメント
イベントタイプ	1. マーカ <0..3> (生成セッションのみ) 2. データアクティブイベント (生成セッションのみ) 3. 開始準備完了イベント 4. アドバンス準備完了イベント (集録セッションのみ) 5. レコード完了イベント (集録セッションのみ)	—
出力先	1. PFI 0 (SMB ジャックコネクタ) 2. PFI <1..3> (DDC コネクタ) 3. PXI_TRIG<0..7> (PXI バックプレーン—PXI のみ) / RTSI <0..7> (RTSI バス—PCI のみ)	各イベントは、データアクティブイベント以外すべての出力先にルーティング可能。データアクティブイベントは、PFI チャンネルのみにルーティング可能。
マーカ時間分解能 (配置)	マーカは、2 S の整数倍で配置される必要があります。	—

キャリブレーション

仕様	値	コメント
外部キャリブレーション間隔	2 年間	—
ウォームアップ時間	15 分	—
オンボードキャリブレーション電圧基準		
温度係数	±5 ppm/ °C	—
長時間安定性	90 ppm/ $\sqrt{\text{kHr}}$	標準
オンボードクロック特性 (PLL 基準ソースがなしに設定されている場合のみに有効)		
周波数確度	±100 ppm	標準
温度安定性	±30 ppm	標準
経年変化	±5 ppm (1 年目)	標準

電源

仕様	値		コメント
	標準	最大	
+3.3 VDC	2.0 A	2.0 A	—
+5 VDC	1.8 A	PXI	—
		2.3 A	—
+5 VDC	1.8 A	PCI	—
		2.4 A	—
+12 VDC	0.3 A	0.5 A	—
−12 VDC	0.2 A	0.2 A	—
合計電力	21.6 W	PXI	—
		26.5 W	—
合計電力	21.6 W	PCI	—
		27 W	—

ソフトウェア仕様

仕様	値	コメント
ドライバソフトウェア	NI-HSDIO ドライバソフトウェア。NI-HSDIO は、NI 655X の構成、制御、およびキャリブレーションを可能にします。NI-HSDIO は、さまざまな開発環境のアプリケーションインタフェースを提供します。NI-HSDIO は、IVI API ガイドラインに従っています。	—
アプリケーションソフトウェア	NI-HSDIO は、以下のアプリケーション開発環境にプログラミングインタフェースを提供します。 - National Instruments LabVIEW 7.0 以降 - National Instruments LabWindows™/CVI™ 6.0 以降 - Microsoft Visual C/C++ 6.0 以降	—
テストパネル	NI Measurement & Automation Explorer (MAX) は、NI 655X に基本的な集録および生成機能を持つテストパネルを提供します。MAX は、NI-HSDIO のドライバ CD に含まれています。	—

環境



メモ

NI 655X が効果的に冷却することを確認するには、NI 655X に含まれる『強制空冷の維持について』のガイドラインに従ってください。NI 655X は、室内使用を意図して設計されています。

仕様	値		コメント
動作温度	PXI	PCI	—
	0 ~ +55 °C (以下を除くすべての NI PXI シャーシ) NI PXI-1000/B および NI PXI-101X シャーシ (IEC-60068-2-1 および IEC-60068-2-2 に適合) に取り付けられた場合は、 0 ~ +45 °C。	0 ~ +45 °C	
保管温度	-20 ~ 70 °C		—
動作時の 相対湿度	10 ~ 90% (相対湿度)、結露なきこと (IEC-60068-2-56 に準拠)		—
保管時の 相対湿度	相対湿度 5 ~ 95%、結露なきこと (IEC-60068-2-56 に準拠)		—

仕様	値	コメント
動作衝撃	30 g (半正弦波)、11 ms パルス (IEC-60068-2-27 に準拠、MIL-PRF-28800F に準拠してテストプロファイルを確立)	NI PXI-655X のみ
保管時衝撃	50 g (半正弦波)、11 ms パルス (IEC-60068-2-27 に準拠、MIL-PRF-28800F に準拠してテストプロファイルを確立)	NI PXI-655X のみ
動作振動	5 Hz ~ 500 Hz、0.31 g _{rms} (IEC-60068-2-64 に準拠)	NI PXI-655X のみ
保管時振動	5 Hz ~ 500 Hz、2.46 g _{rms} (IEC-60068-2-64 に準拠、テストプロファイルは MIL-PRF-28800F、Class B の要件以上)	NI PXI-655X のみ
高度	海拔 0 ~ 2,000 m (周囲温度 25 °C 時)	—
汚染度	2	—

安全性、電磁両立性、CE 適合

仕様	値	コメント
安全性	NI 655X は、計測、制御、実験に使用される電気装置に関する以下の規格および安全性の必要条件を満たすように設計されています。 • IEC 61010-1、EN 61010-1 • UL 3111-1、UL 61010B-1 • CAN/CSA-C22.2 No. 1010-1	UL および他の安全保証については、製品のラベルまたは ni.com/jp を参照してください。
エミッション (不要輻射)	EN 55011 Class A (10 m 時) FCC Part 15A (1 GHz 以上)	—
イミュニティ (電磁環境耐性)	EN 61326:1997 + A2:2001、Table 1	—
EMC/EMI	CE、C-Tick、FCC Part 15 (Class A) 適合 メモ : EMC に適合させるには、必ずシールドケーブルと一緒にこのデバイスを使用してください。	—
この製品は、以下のように、CE マーク改正に基づいて、該当する EC 理事会指令による基本的要件に適合しています。		
低電圧指令 (安全性)	73/23/EEC	—

仕様	値	コメント
電磁両立性指令 (EMC)	89/336/EEC	—
EMC に適合させるには、必ずシールドケーブルと一緒にこのデバイスを使用してください。また、すべてのカバーおよびカバーパネルを取り付ける必要があります。本製品の上記以外の適合指令に関する情報については、適合宣言 (DoC: Declaration of Conformity) をご覧ください。この製品の適合宣言を入手するには、ni.com/certification (英語) にアクセスして型番または製品ラインで検索し、保証の欄の該当するリンクをクリックしてください。		

物理特性

仕様	値		コメント
外形寸法	PXI	PCI	
	18.6 cm × 13.1 cm (7.32 in. × 5.16 in.) 3U 型 CompactPCI ス ロット 1、PXI 対応	12.6 cm × 35.5 cm (4.95 in. × 13.9 in.)	—
重量	375 g (13.2 oz)		—
フロントパネルコネクタ			
ラベル	機能	コネクタタイプ	—
CLK IN	外部サンプルクロック、外 部 PLL 基準入力	SMB ジャックコネクタ	—
PFI 0	イベント、トリガ	SMB ジャックコネクタ	—
CLK OUT	エクスポートしたサンプル クロック、エクスポートし た基準クロック	SMB ジャックコネクタ	—
DIGITAL DATA & CONTROL	デジタルデータチャンネル、 エクスポートしたサンプル クロック、STROBE、イベ ント、トリガ	68 ピン、VHDCI コネクタ	—

National Instruments、NI、ni.com、および LabVIEW は National Instruments Corporation (米国ナショナルインスツルメンツ社) の商標です。National Instruments の商標の詳細については、ni.com/legal の「Terms of Use」セクションを参照してください。本文中に記載されたその他の製品名および企業名は、それぞれの企業の商標または商号です。National Instruments の製品を保護する特許については、ソフトウェアに含まれている特許情報 ([ヘルプ→特許情報](#))、CD に含まれている patents.txt ファイル、または ni.com/patents のうち、該当するリソースから参照してください。